

**BREVET DE TECHNICIEN SUPERIEUR**

**SYSTEMES ÉLECTRONIQUES**

**SESSION 2006**

**ÉPREUVE : ÉLECTRONIQUE**

**DOSSIER TECHNIQUE**

<b>SESSION 2006</b>	<b>CODE : SEE4EL</b>
<b>BT.S. SYSTEMES ÉLECTRONIQUES</b>	
<b><u>ÉPREUVE</u> : ÉLECTRONIQUE</b>	
<b>Durée : 4 heures</b>	<b>Coefficient : 4</b>

# PROJECTEUR D'EFFETS "*CENTREPIECE*"

## DOSSIER TECHNIQUE

**Documents constructeurs.**

**Schéma structurel de l'interface DMX et de FP5**

Documents techniques :

DT1	LE BUS DMX512	p2
DT2	Commandes DMX512 du projecteur CENTREPIECE	p4
DT3	SN 75176 Differential Bus Transceivers	p5
DT4	6 N 137 Optocoupleurs	p6
DT5	Interface série du micro contrôleur 80C32	p7
DT6	74HC138 3 to 8 line decoder / démultiplexeur	p9
DT7	74HC374 Octal D-Type flip flop	p11
DT8	Schéma structurel de l'interface DMX FP6	p13
DT9	Schéma structurel de la fonction Gestion des effets FP5	p14

# Document technique DT1

## LE BUS DMX512

Ce standard est utilisé dans le monde du spectacle pour transmettre des données numériques entre les appareils de contrôle (console, jeu d'orgues) et les appareils d'éclairage et d'effets spéciaux.

### 1 LE PROTOCOLE

La transmission est de type série asynchrone avec de 1 à 32 récepteurs sur la ligne.

Les données sont transmises sur la ligne sous la forme d'une succession d'octets (maximum 512 octets). Chaque octet pouvant représenter une valeur d'intensité, de couleur, de position...

Chaque récepteur se voit attribué (par un jeu de commutateurs) une adresse (adresse ou canal de base) et utilise pour sa commande un nombre fixe de canaux (de 1 à 16). Chaque récepteur reçoit l'intégralité des données transmises et ne prend en compte que les canaux qui lui sont affectés à partir de son adresse de base.

Par exemple un projecteur d'adresse de base  $A_0$  à 4 canaux utilisera donc les canaux  $A_0$   $A_0 + 1$   $A_0 + 2$   $A_0 + 3$  de la trame DMX.

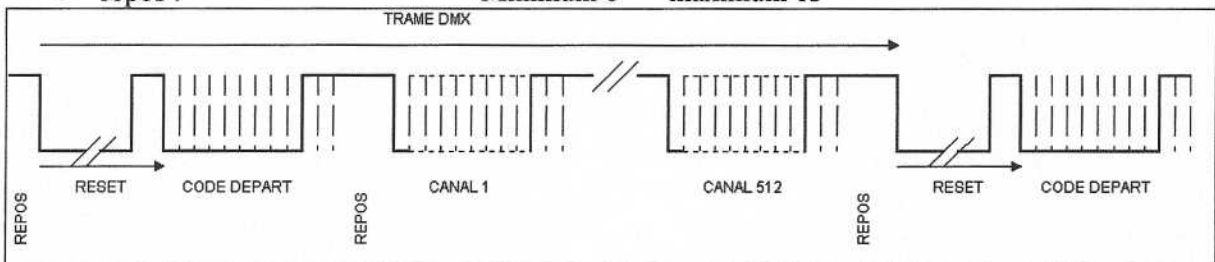
### 2 ORGANISATION DE LA TRAME DMX512 :

#### Début de trame (Reset):

Le début de la trame est marqué par un signal de *Reset* : un **niveau bas (break)** suivi d'un état haut (*Mark after break*).

Durées :

- niveau bas (*break*)  $88\mu s$
- état haut (*Mark after break*)  $8\mu s$
- repos : Minimum 0 maximum 1s



#### Code de départ (ou canal 0) :

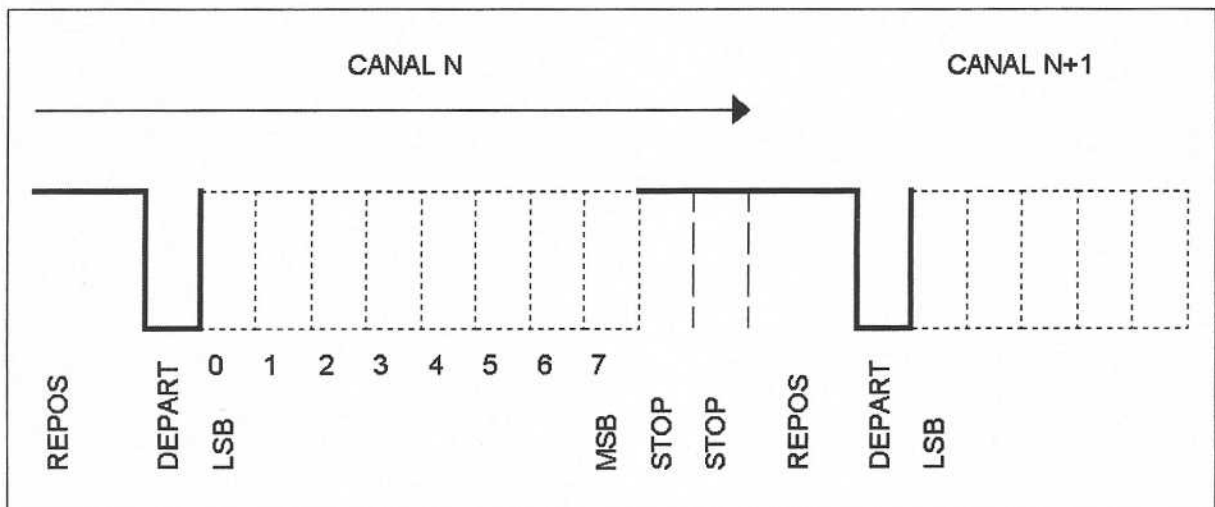
Prévu pour une expansion future du système; non utilisé actuellement le code de départ est un octet à 0.

- Bit 1 Bit de départ (*start*) niveau bas
- Bits 2 à 9 Octet à 0.
- Bits 10 et 11 Bits de stops Niveau Haut.

#### Format de transmission d'un canal :

- Bit 1 Bit de départ (*start*) niveau bas,
- Bits 2 à 9 Octet de données, le *LSB* est transmis en premier, niveau bas : 0 logique,
- Bits 10 et 11 Bits de stops Niveau Haut.

Durée d'un bit :  $4\mu s$   
Repos : Minimum 0 maximum 1s



### 3 LES SPECIFICATIONS ELECTRIQUES

Les spécifications électriques sont celles de la norme EIA RS485 :

- Mode différentiel,
- Longueur de ligne maximale 250m ; Terminaison 120Ω,
- Vitesse de transmission 250 kBits/s,
- Câble à paire torsadée blindé.

Les niveaux de tension sur la ligne :

Tension différentielle minimale (entre *Data +* et *Data -*) : 200mV

Tension de mode commun (entre un conducteur et la masse) : comprise entre -7V et +12V.

### 4 LA CONNECTIQUE

Connecteur type XLR5 broches

- Broche 1 Masse
- Broche 2 *Data -*
- Broche 3 *Data +*
- Broche 4 Optionnelle non utilisée en standard
- Broche 5 Optionnelle non utilisée en standard

Prises sur l'équipement commandé :

- Châssis mâle : réception
- Châssis femelle : Recopie vers un autre équipement télécommandé.

## Document technique DT2

### Commandes DMX512 du projecteur CENTREPIECE

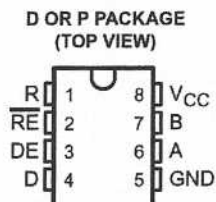
<b>Centrepiece DMX Protocol version 1</b>		
DMX channel requirements : 7 channels		
DMX channel offset	DMX value	Effect
<b>0</b>  <b>Reset fixture, Stand-alone, Lamp On</b>	0-49	Manual Control
	50-99	Stand-alone random music
	100-149	Stand-alone random auto
	150-199	Stand-alone music
	200-247	Stand-alone auto
	248-252	Reset fixture
	253-255	Lamp On
<b>1</b> <b>Tilt 1</b>	0-198	Full Closed → full open
<b>2</b> <b>Tilt 2</b>	0-198	Full Closed → full open
<b>3</b> <b>Tilt 3</b>	0-198	Full Closed → full open
<b>4</b> <b>Tilt 4</b>	0-198	Full Closed → full open
	199-255	Full open
<b>5</b>  <b>Color Carousel</b>	0-123	Rotate Right (fast → slow)
	124	Stop color set 1
	125	Stop color set 2
	126	Stop color set 3
	127	Stop color set 4
	128	Stop color set 5
	129	Stop color set 6
	130	Stop color set 7
	131	Stop color set 8
	132-255	Rotate left (fast → slow)
<b>6</b> <b>Mirror rotation</b>	0-123	Rotate Right (fast → slow)
	124-131	Stop
	132-255	Rotate left (fast → slow)

# Document technique DT3

## SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B - JULY 1985 - REVISED JUNE 1999

- Bidirectional Transceivers
- Meet or Exceed the Requirements of ANSI Standards TIA/EIA-422-B and TIA/EIA-485-A and ITU Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability . . .  $\pm 60$  mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance . . . 12 k $\Omega$  Min
- Receiver Input Sensitivity . . .  $\pm 200$  mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operate From Single 5-V Supply



The SN75176B differential bus transceiver is a monolithic integrated circuit designed for bidirectional data communication on multipoint bus-transmission lines. It is designed for balanced transmission lines and meets ANSI Standard EIA/TIA-422-B and ITU Recommendation V.11 and X.27.

The SN75176B combines a 3-state differential line driver and a differential input line receiver, both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be externally connected together to function as a direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus whenever the driver is disabled or  $V_{CC} = 0$ .

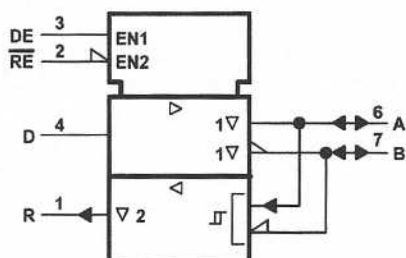
The driver is designed to handle loads up to 60 mA of sink or source current. The driver features positive- and negative-current limiting and thermal shutdown for protection from line fault conditions. The receiver features a minimum input impedance of 12 k $\Omega$ , an input sensitivity of  $\pm 200$  mV, and a typical input hysteresis of 50 mV.

DRIVER				RECEIVER		
INPUT	ENABLE	OUTPUTS		DIFFERENTIAL INPUTS	ENABLE	OUTPUT
D	DE	A	B	A - B	RE	R
H	H	H	L	$V_{ID} \geq 0.2$ V	L	H
L	H	L	H	$-0.2$ V $< V_{ID} < 0.2$ V	L	?
X	L	Z	Z	$V_{ID} \leq -0.2$ V	L	L
				X	H	Z
				Open	L	?

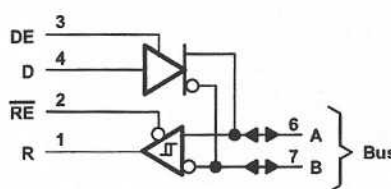
H = high level, L = low level, ? = indeterminate,  
X = irrelevant, Z = high impedance (off)

$V_{ID} = A - B$

logic symbol†



logic diagram (positive logic)



# High CMR, High Speed TTL Compatible Optocouplers

## Technical Data

6N137	
HCNW137	HCPL-0631
HCNW2601	HCPL-0661
HCNW2611	HCPL-2601
HCPL-0600	HCPL-2611
HCPL-0601	HCPL-2630
HCPL-0611	HCPL-2631
HCPL-0630	HCPL-4661

### Features

- 5 kV/μs Minimum Common Mode Rejection (CMR) at  $V_{CM} = 50$  V for HCPL-X601/X631, HCNW2601 and 10 kV/μs Minimum CMR at  $V_{CM} = 1000$  V for HCPLX611/X661, HCNW2611
- High Speed: 10 MBd Typical
- LSTTL/TTL Compatible
- Low Input Current Capability: 5 mA
- Guaranteed ac and dc performance over Temperature: -40°C to +85°C
- Available in 8-Pin DIP, SOIC-8, Widebody Packages
- Storable Output (Single Channel Products Only)

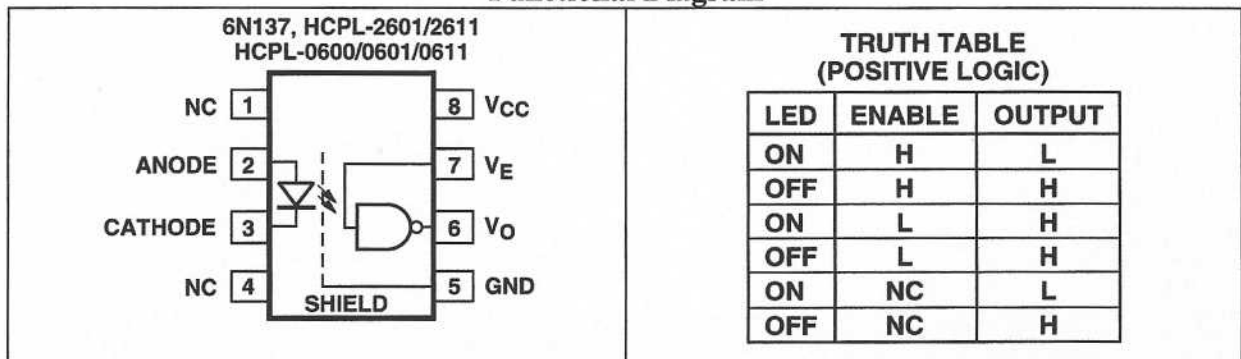
### Applications

- Isolated Line Receiver
- Computer-Peripheral Interfaces
- Microprocessor System Interfaces
- Digital Isolation for A/D, D/A Conversion
- Switching Power Supply
- Instrument Input/Output Isolation
- Ground Loop Elimination
- Pulse Transformer Replacement
- Power Transistor Isolation in Motor Drives
- Isolation of High Speed Logic Systems

### Description

The 6N137, HCPL-26XX/06XX/4661, HCNW137/26X1 are optically coupled gates that combine a GaAsP light emitting diode and an integrated high gain photo detector. An enable input allows the detector to be strobed. The internal shield provides a guaranteed common mode transient immunity specification of 5,000 V/μs for the HCPL-X601/X631 and HCNW2601, and 10,000 V/μs for the HCPL-X611/X661 and HCNW2611.

### Functional Diagram



## Document technique DT5

### INTERFACE SÉRIE DU MICRO CONTRÔLEUR 80C32.

L'interface série est du type " Full duplex "; il peut émettre et recevoir simultanément et dispose d'un registre de réception ce qui permet de commencer la réception d'un second octet alors que le précédent n'est pas encore lu. Les registres de réception et de transmission " SBUF " occupent tous les deux la même adresse; une écriture dans ce registre charge le registre de transmission et une lecture de ce registre restitue l'octet reçu. La transmission est initialisée par l'écriture dans le registre " SBUF ". Le registre " SCON " permet la configuration de l'interface série

#### Registres et bit associés à l'interface série.

Nom	Description	Adresse	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	Registre de donnée	99H	8 bits de donnée							
SCON	Registre de contrôle	98H	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
PCON		87H	SMOD	-	-	-	-	-	-	-

#### Modes de fonctionnements.

Vitesse de transmission : La vitesse de transmission est exprimée en " BAUD " et correspond ici au nombre de bits transmis par seconde. (Exemple 110 bauds = 110 bits / seconde ).

L'interface série dispose de 4 modes de fonctionnement, qui déterminent la vitesse de transmission et le nombre de bits transmis.

MODE	VITESSE (BAUD)	DONNEES TRANSMISES
0	Foscil / 12	8 bits sont transmis ou reçus ( LSB en premier ) sur la ligne " RXD ( P3.0 ) ". La ligne " TXD ( P3.1 ) " est utilisée comme sortir pour l'horloge de transmission.
1	Variable fixée par le débordement du compteur 1 divisé par 16 ou 32	10 bits sont transmis sur la ligne " TXD " ou reçus sur la ligne " RXD ": 1 bit de départ ( 0 ) 8 bits de donnée ( LSB en premier ) 1 bit de stop ( 1 )
2	Fosci / 32 ( SMOD = 1 ) ou Fosci / 64(SMOD = 0 )	11 bits sont transmis sur la ligne " TXD " ou reçus sur la ligne " RXD ": 1 bit de départ ( 0 ) 8 bits de donnée ( LSB en premier ) 1 bit programmable ( TD8 en transmission, RB8 en réception ) 1 bit de stop ( 1 )
3	Variable fixée par le débordement du compteur 1 divisé par 16 ou 32	11 bits sont transmis sur la ligne " TXD " ou reçus sur la ligne " RXD ": 1 bit de départ ( 0 ) 8 bits de donnée ( LSB en premier ) 1 bit programmable ( TD8 en transmission, RB8 en réception ) 1 bit de stop ( 1 )

Le rapport de division de 1 ou 2 pour les modes 1 , 2 et 3 est configuré par le bit " SMOD " du registre "PCON ".

Pour le mode 0 la réception est initialisée par la condition RI = 0 (bit 0 du registre " SCON ") et REN = 1 (bit 4 du registre "SCON"). Pour les autres modes la réception est initialisée par la détection du bit de départ si REN=1.

## Registre de contrôle.

Serial control " SCON " : Ce registre 8 bits contrôle le fonctionnement de l'interface série.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

<b>SM0</b>	SCON.7	SM0 : SM1 Mode					
<b>SM1</b>	SCON.6	0	0	0	Registre à décalage 8 bits		
		0	1	1	" UART <sup>1</sup> " 8 bits ( Start 8 bits Stop )		
		1	0	2	" UART " 9 bits ( Start 9 bits Stop )		
		1	1	3	" UART " 9 bits ( Start 9 bits Stop )		
<b>SM2</b>	SCON.5	Mode 0 : SM2 doit être mis à 0.					
		Mode 1 :					
		SM2 = 0 Pas d'influence					
		SM2 = 1 L'interruption en réception est autorisée pour la réception correcte du bit de stop.					
		Mode 2 et 3 :					
		SM2 = 0 L'interruption en réception est générée quelque soit l'état du bit RB8.					
		SM2 = 1 L'interruption est générée si le bit RB8 est à 1.					
<b>REN</b>	SCON.4	0 : Déconnecte la réception.					
		1 : Réception active.					
<b>TB8</b>	SCON.3	Contient l'état logique du neuvième bit à transmettre pour les modes 2 et 3.					
<b>RB8</b>	SCON.2	Indique l'état logique du neuvième bit reçu dans les modes 2 et 3.					
<b>TI</b>	SCON.1	Demande d'interruption pour la transmission. Mis à 1 (matériellement) à la fin de la transmission du bit 8 dans le mode 0 et au début de la transmission du bit de stop pour les autres modes. Ce bit doit être remis à 0 par logiciel.					
<b>RI</b>	SCON.0	Demande d'interruption pour la réception. Mis à 1 (matériellement) à la fin de la réception du bit 8 pour le mode 0, au milieu de la réception du bit de stop pour le mode 1 et au milieu de la réception du bit RB8 pour les modes 2 et 3. Cet indicateur doit être remis à 0 par logiciel.					

<sup>1</sup> UART : *universal asynchronous receiver-transmitter*

3-to-8 line decoder/demultiplexer; inverting

74HC/HCT138

FEATURES

- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding
- Active LOW mutually exclusive outputs
- Output capability: standard
- I<sub>CC</sub> category: MSI

GENERAL DESCRIPTION

The 74HC/HCT138 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT138 decoders accept three binary weighted address inputs (A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>) and when enabled, provide 8 mutually exclusive active LOW outputs ( $\bar{Y}_0$  to  $\bar{Y}_7$ ).

The "138" features three enable inputs: two active LOW ( $\bar{E}_1$  and  $\bar{E}_2$ ) and one active HIGH (E<sub>3</sub>). Every output will be HIGH unless  $\bar{E}_1$  and  $\bar{E}_2$  are LOW and E<sub>3</sub> is HIGH.

This multiple enable function allows easy parallel expansion of the "138" to a 1-of-32 (5 lines to 32 lines) decoder with just four "138" ICs and one inverter.

The "138" can be used as an eight output demultiplexer by using one of the active LOW enable inputs as the data input and the remaining enable inputs as strobes. Unused enable inputs must be permanently tied to their appropriate active HIGH or LOW state.

The "138" is identical to the "238" but has inverting outputs.

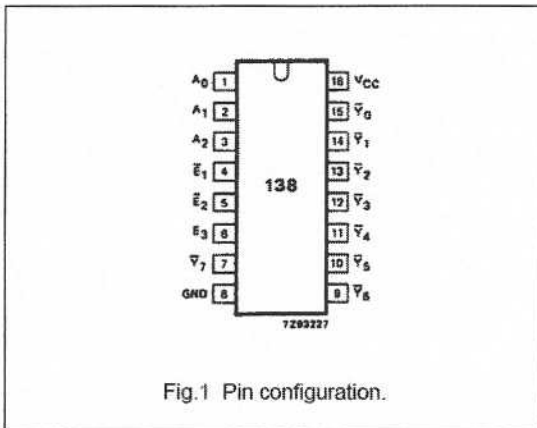


Fig.1 Pin configuration.

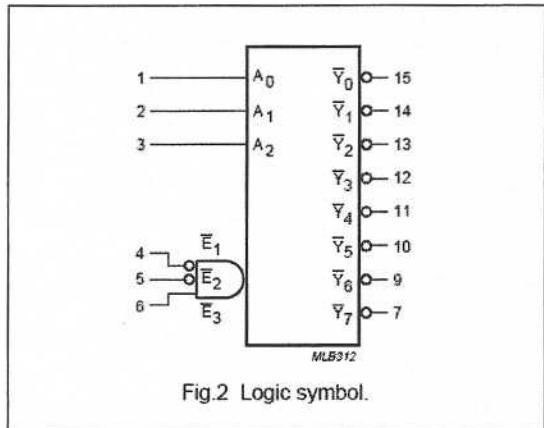


Fig.2 Logic symbol.

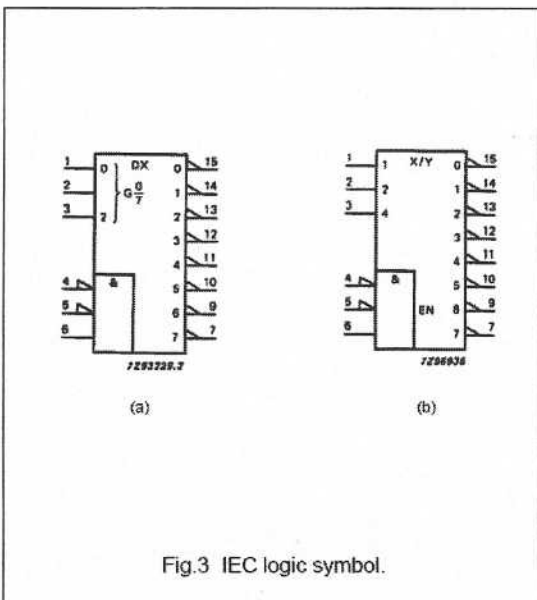


Fig.3 IEC logic symbol.

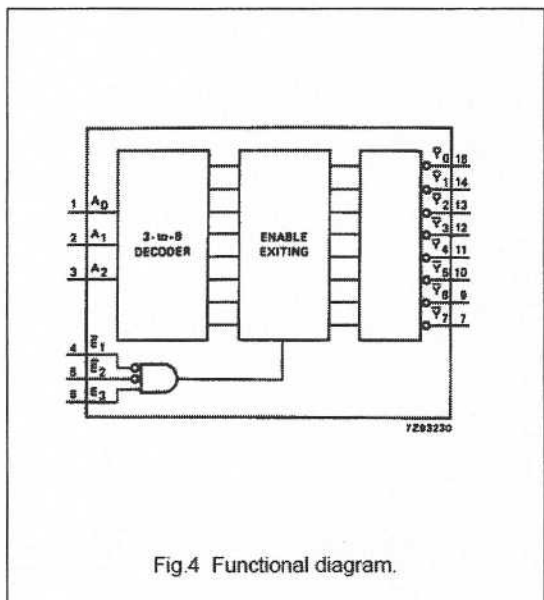


Fig.4 Functional diagram.

3-to-8 line decoder/demultiplexer; inverting

74HC/HCT138

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3	$A_0$ to $A_2$	address inputs
4, 5	$\bar{E}_1, \bar{E}_2$	enable inputs (active LOW)
6	$E_3$	enable input (active HIGH)
8	GND	ground (0 V)
15, 14, 13, 12, 11, 10, 9, 7	$\bar{Y}_0$ to $\bar{Y}_7$	outputs (active LOW)
16	$V_{CC}$	positive supply voltage

FUNCTION TABLE

INPUTS						OUTPUTS							
$\bar{E}_1$	$\bar{E}_2$	$E_3$	$A_0$	$A_1$	$A_2$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

Notes

- H = HIGH voltage level  
L = LOW voltage level  
X = don't care

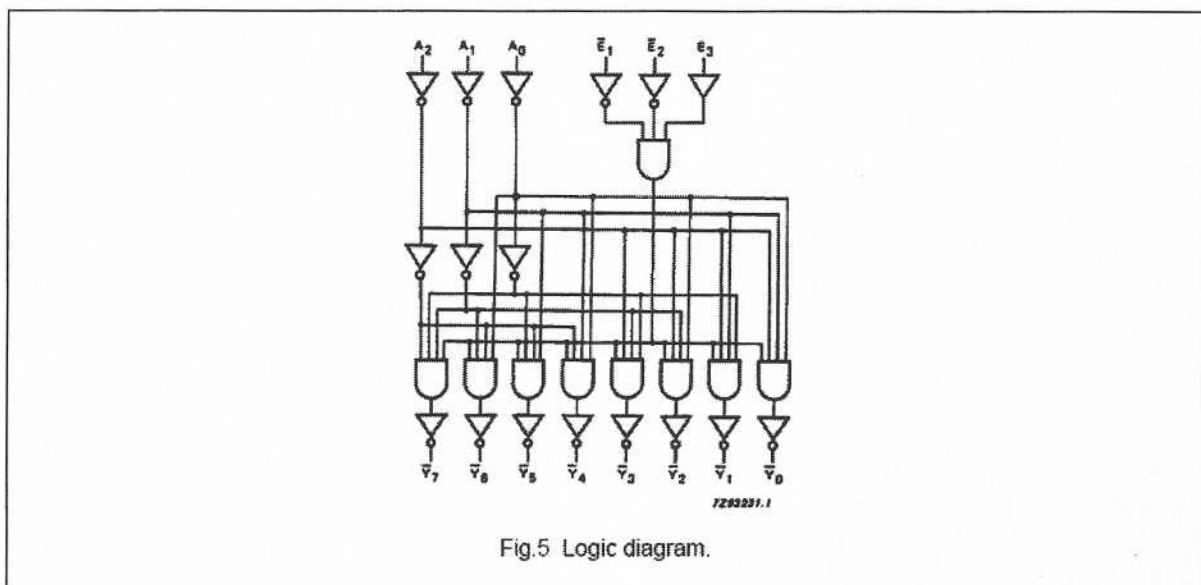


Fig.5 Logic diagram.

**Octal D-type flip-flop; positive edge-trigger; 3-state**

**74HC/HCT374**

**FEATURES**

- 3-state non-inverting outputs for bus oriented applications
- 8-bit positive, edge-triggered register
- Common 3-state output enable input
- Independent register and 3-state buffer operation
- Output capability: bus driver
- I<sub>CC</sub> category: MSI

The 74HC/HCT374 are octal D-type flip-flops featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A clock (CP) and an output enable ( $\overline{OE}$ ) input are common to all flip-flops.

The 8 flip-flops will store the state of their individual D-inputs that meet the set-up and hold times requirements on the LOW-to-HIGH CP transition.

When  $\overline{OE}$  is LOW, the contents of the 8 flip-flops are available at the outputs. When  $\overline{OE}$  is HIGH, the outputs go to the high impedance OFF-state. Operation of the  $\overline{OE}$  input does not affect the state of the flip-flops.

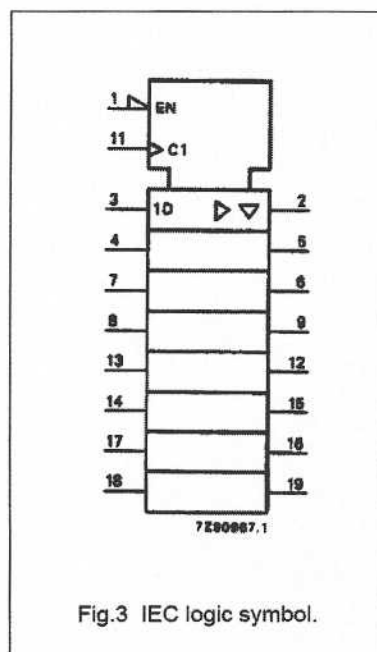
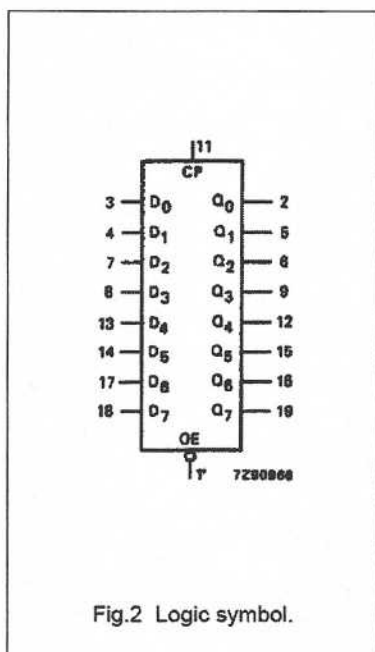
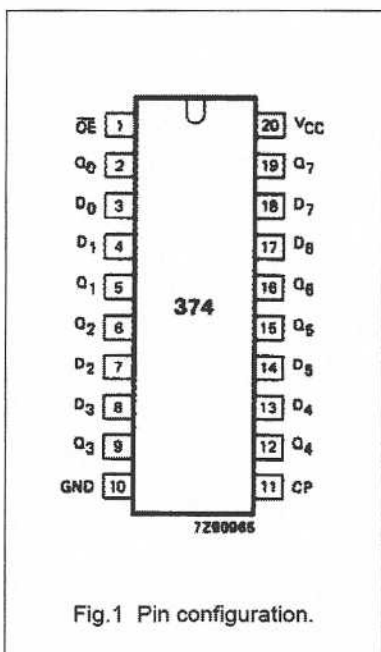
**GENERAL DESCRIPTION**

The 74HC/HCT374 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The "374" is functionally identical to the "534", but has non-inverting outputs.

**PIN DESCRIPTION**

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{OE}$	3-state output enable input (active LOW)
2, 5, 6, 9, 12, 15, 16, 19	Q <sub>0</sub> to Q <sub>7</sub>	3-state flip-flop outputs
3, 4, 7, 8, 13, 14, 17, 18	D <sub>0</sub> to D <sub>7</sub>	data inputs
10	GND	ground (0 V)
11	CP	clock input (LOW-to-HIGH, edge-triggered)
20	V <sub>CC</sub>	positive supply voltage



Octal D-type flip-flop; positive edge-trigger;  
3-state

74HC/HCT374

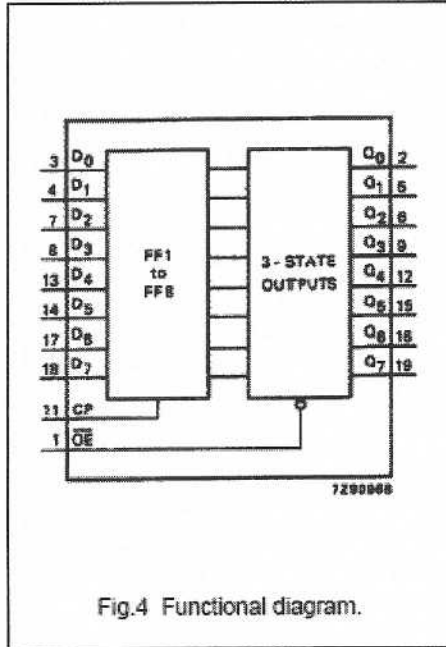


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL FLIP-FLOPS	OUTPUTS
	$\overline{OE}$	CP	$D_n$		$Q_0$ to $Q_7$
load and read register	L	$\uparrow$	l	L	L
register	L	$\uparrow$	h	H	H
load register and disable outputs	H	$\uparrow$	l	L	Z
	H	$\uparrow$	h	H	Z

Notes

- H = HIGH voltage level  
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition  
 L = LOW voltage level  
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition  
 Z = high impedance OFF-state  
 $\uparrow$  = LOW-to-HIGH CP transition

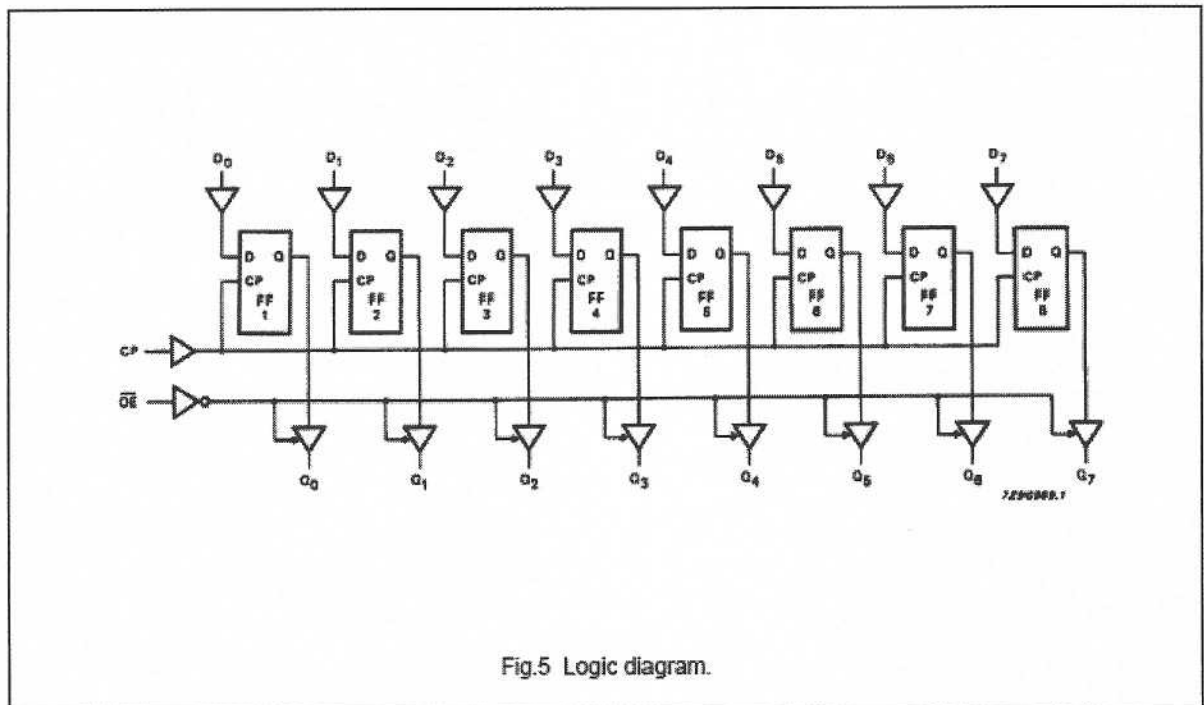


Fig.5 Logic diagram.



## Document technique DT9

### Schéma structurel de la fonction Gestion des effets FP5.

