

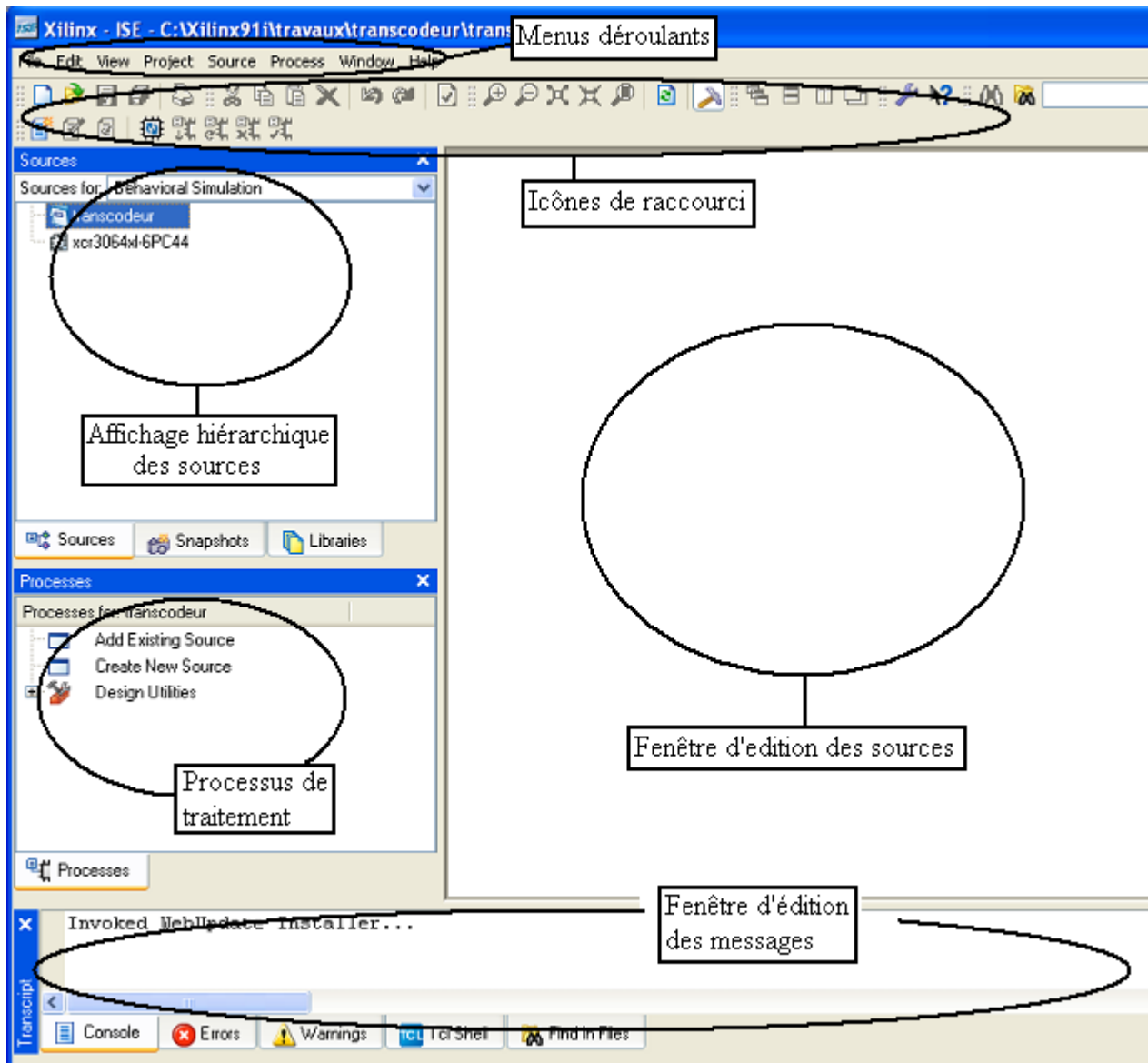
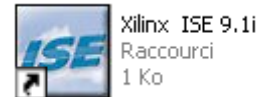
DIDACTICIEL DU LOGICIEL XILINX Integrated Software Environment (ISE).

Il s'agit d'un logiciel de programmation des produits Xilinx (CPLD coolrunner, FPGA spartan et virtex, ...), gratuit et téléchargeable sur le site de Xilinx. Il permet :

- la saisie de projets d'implantation (sous forme de schéma logique, de machine d'états ou en langage VHDL, verilog, ABEL, ...).
- la simulation du fonctionnement d'un projet d'implantation.
- la transcription en fichier JDEC et l'implantation sur un produit Xilinx.

I - Généralités

Toutes les fonctions du logiciel sont accessibles à partir du navigateur ISE (« project navigator », icône ci-contre). L'écran principal fait alors apparaître plusieurs fenêtres comme ci-dessous.



Fenêtre des sources : elle permet l'affichage des sources actives du projet, dans le cas d'une simulation (*Behavioral Simulation*) ou d'une saisie /implantation (*Synthesis/Implementation*).

Fenêtre des processus : elle permet d'ordonner des processus de traitement ou même de création. Ces fonctions sont les mêmes que celles des menus déroulants et des raccourcis.

Fenêtre d'édition des sources : elle permet la saisie de sources (par exemple un schéma logique) ainsi que l'affichage de résultats (par exemple le résultat d'une simulation).

Fenêtre des messages : elle permet l'affichage de messages (par exemple les erreurs précisant pourquoi un processus n'a pas été mené à son terme).

Notes :

En dehors des menus déroulants et des icônes de raccourci :

- le clic gauche de la souris permet de sélectionner un composant.
- le clic gauche enfoncé de la souris avec son déplacement permet de sélectionner une fenêtre.
- une fenêtre sélectionnée peut ensuite être déplacée.
- le clic droit de la souris permet d'ouvrir un menu contextuel.
- la touche « Suppr » permet la suppression d'un composant ou d'une fenêtre.
- la touche « Echap » permet de quitter la fonction en cours.
- la touche F5 permet de rafraîchir l'écran.

Dans ce texte, les termes en italiques gras entre parenthèse concernent les menus déroulants.

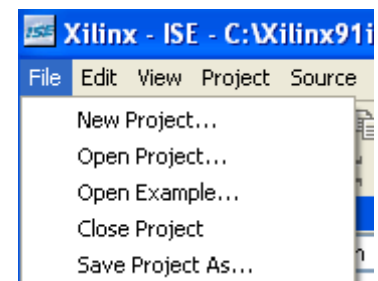
II - Saisie d'un projet (fichier d'extension « .ise »).

II a - Création :

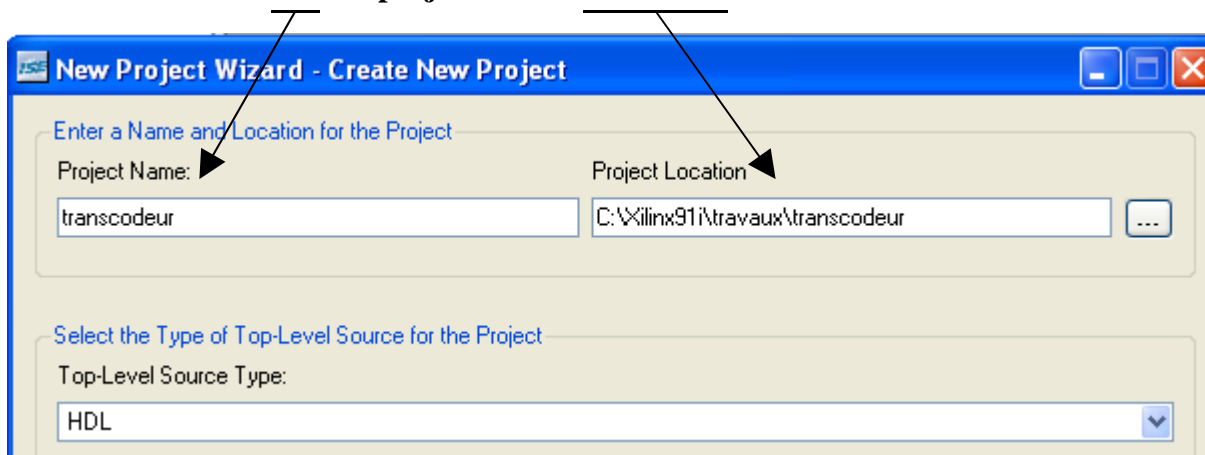
Après l'ouverture du navigateur ISE, il convient de demander la création d'un nouveau projet (*File* + *New Project*).

Menus déroulants :

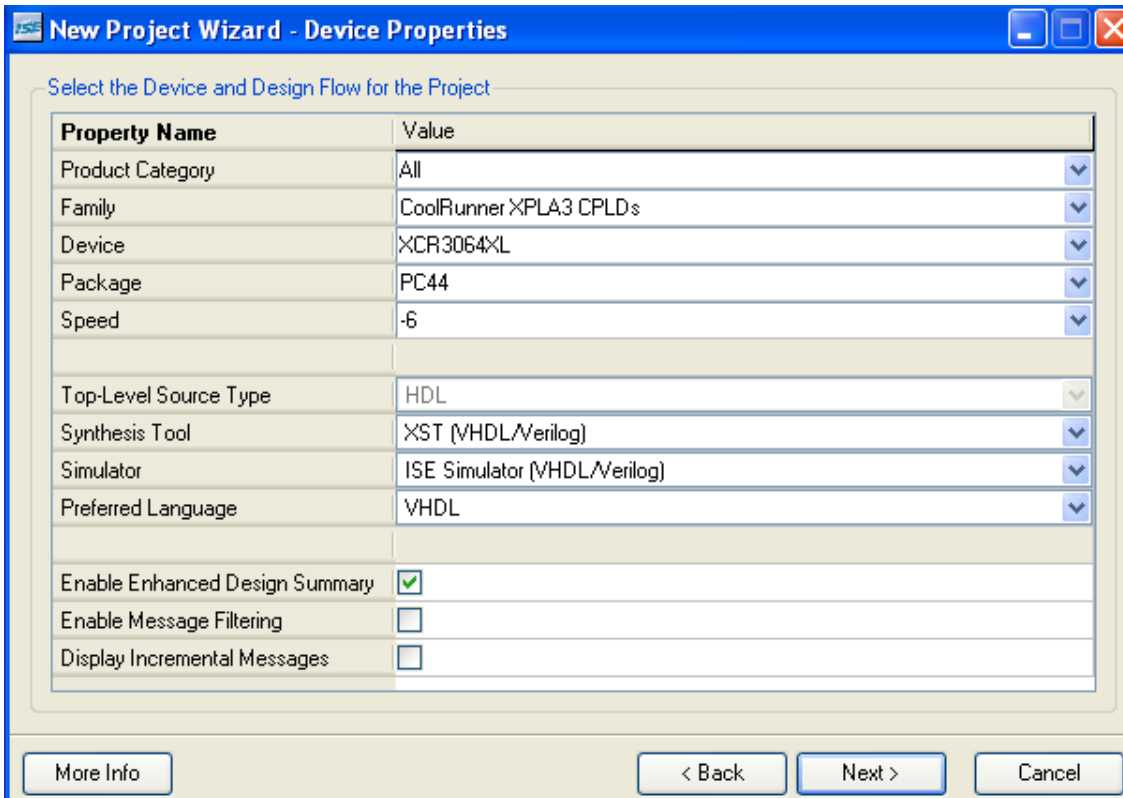
« <i>File</i> » concerne les fichiers (ouverture, fermeture, sauvegarde, impression ...).
« <i>Edit</i> » concerne l'édition (copier, coller, recherches, ...).
« <i>View</i> » concerne l'affichage (zoom, barres de raccourcis, rafraîchissement ...).



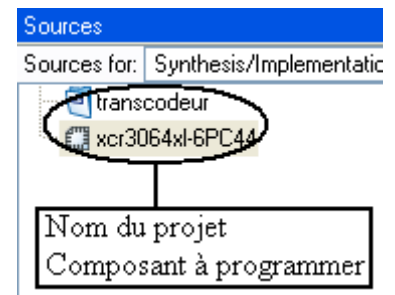
Ecran 1 : saisie du nom du projet et de sa localisation.



Ecran 2 : saisie des caractéristiques du projet (composant à programmer, outils logiciels).

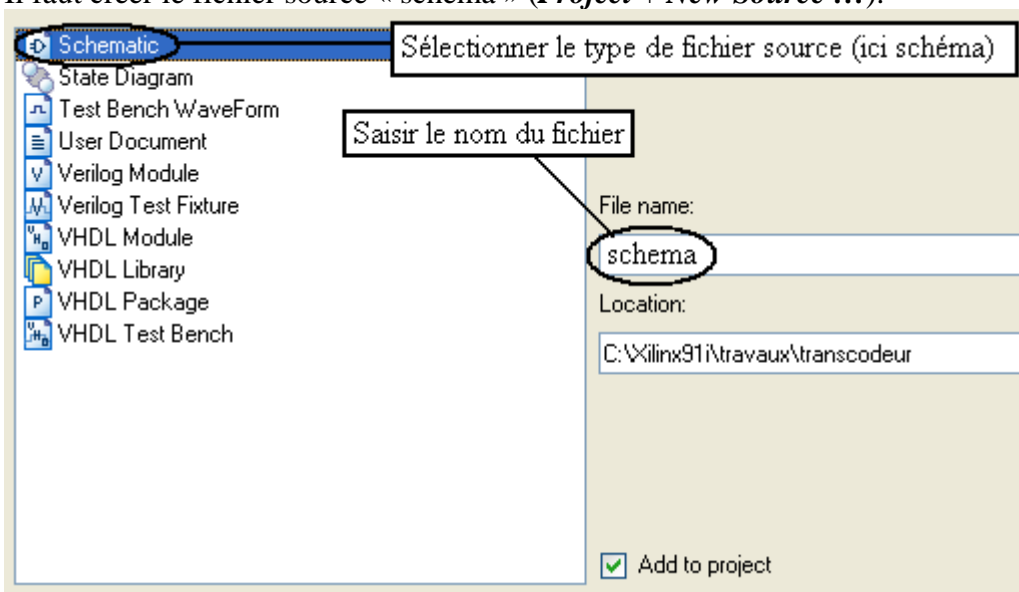


Passer tous les autres écrans (création de source, ouverture de source, récapitulatif). Vous avez créé un projet sans sources. Le double clic gauche sur le nom du projet permet d'en changer ses propriétés.

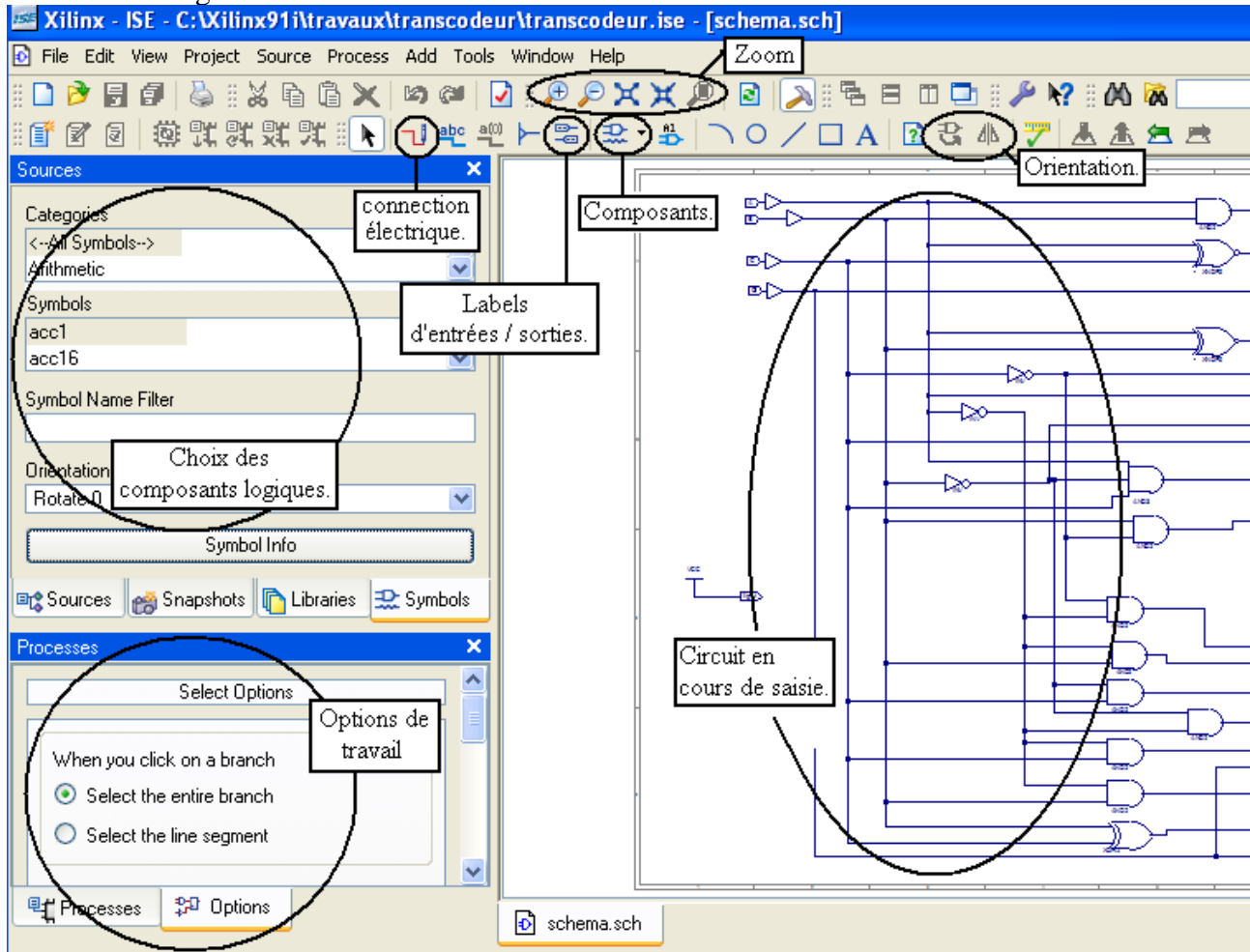


II b - Saisie (sous forme de schéma logique - fichier d'extension « .sch ») :

Il faut créer le fichier source « schéma » (*Project + New Source ...*).



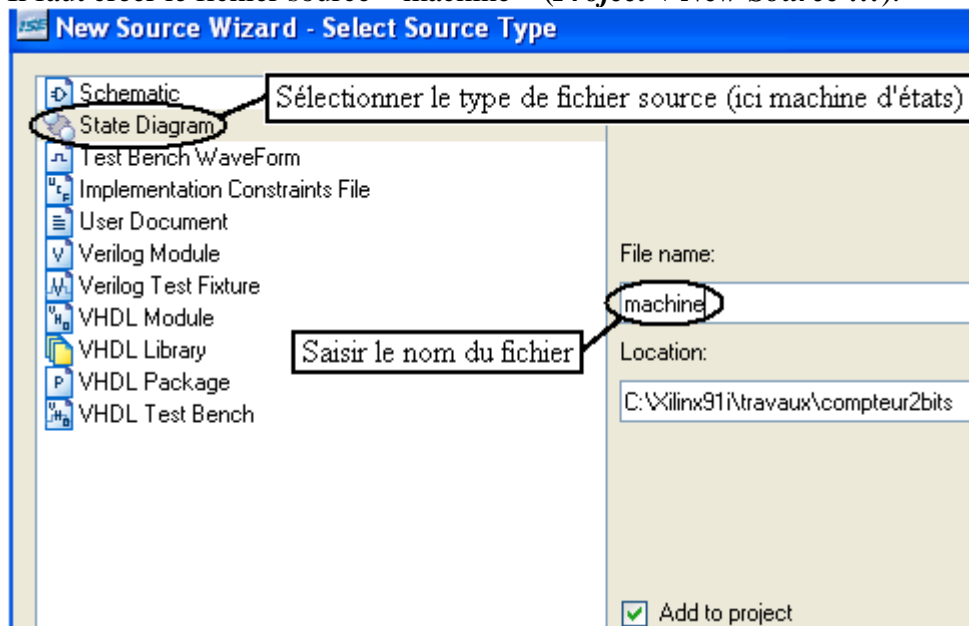
On saisit ensuite le schéma. Attention, on ajoutera des buffers sur les entrées /sorties pour la mise en forme des signaux.



Une fois le schéma saisi, pensez à renommer les labels des entrées / sorties avec des noms explicites (clic droit sur un label puis « *Object Properties* ») et à faire une sauvegarde.

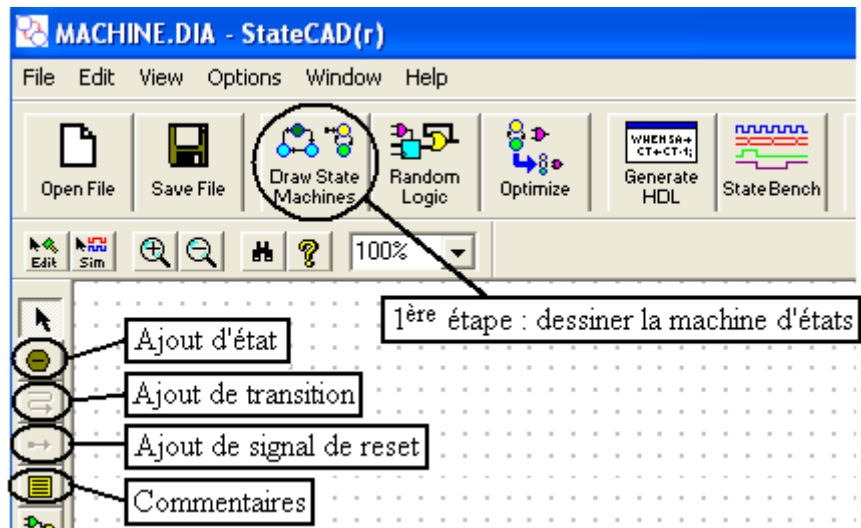
II c - Saisie (sous forme de machine d'états - fichier d'extension « .dia ») :

Il faut créer le fichier source « machine » (*Project + New Source ...*).



Dessiner la machine d'état :

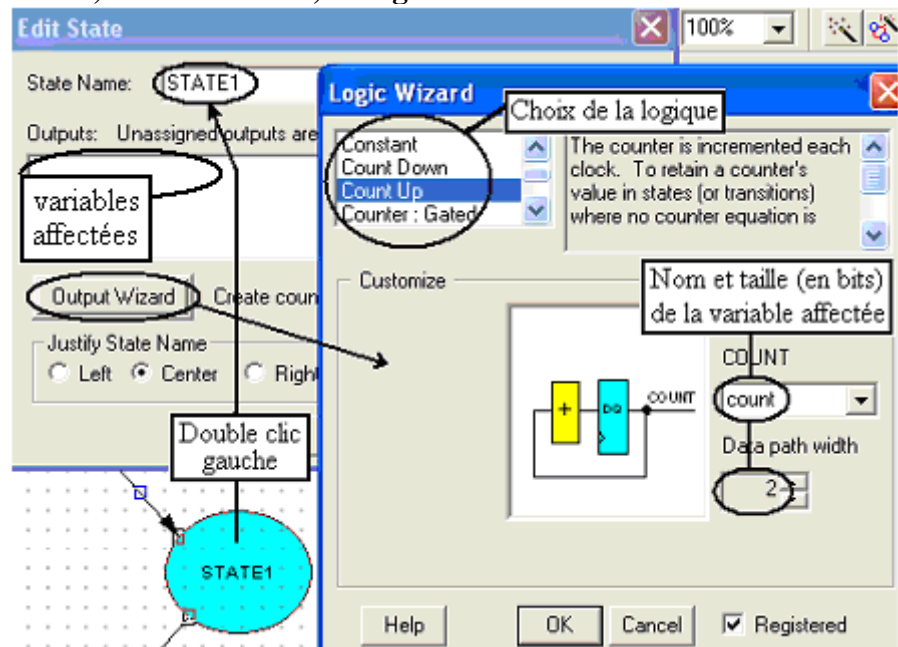
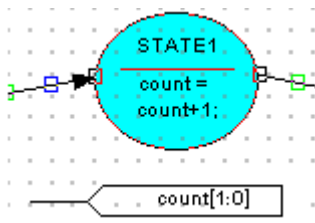
L'éditeur de machine d'états se lance automatiquement. On dessine d'abord la machine d'états (nombre d'états, sens des transitions, signaux de reset). Le signal de reset ne doit pas être compris comme une remise à zéro mais comme un forçage synchrone ou asynchrone. L'horloge sera implicite.



Editer les conditions liées aux états, aux transitions, au signaux de reset :

Un double clic gauche sur un état, une transition ou un signal de reset permet de lancer l'éditeur pour l'objet sélectionné.

Dans l'exemple ci-contre, la variable affectée dans l'état1 (STATE1) se nomme count, c'est un bus de 2 fils (vector) et elle apparaîtra en sortie.



Vérification des entrées / sorties : Lancer l'éditeur de signaux et vérifier les signaux internes (nodes) et externes (pins).



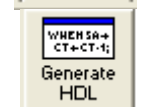
Optimisation : Le bouton « Optimize » lance une série de questions qui vont ajuster votre projet selon vos réponses. Laisser les réponses par défaut sauf : écran 1 (CPLD/PAL), écran 5 (VHDL), écran 6 (Xilinx XST).



Simulation : Le bouton « State Bench » permet de lancer une simulation de fonctionnement quant à l'évolution des états.



Génération du fichier VHDL (fichier d'extension « .vhd ») : Le fichier VHDL permettra la programmation. Sa génération se fait par le bouton « Generate HDL ».

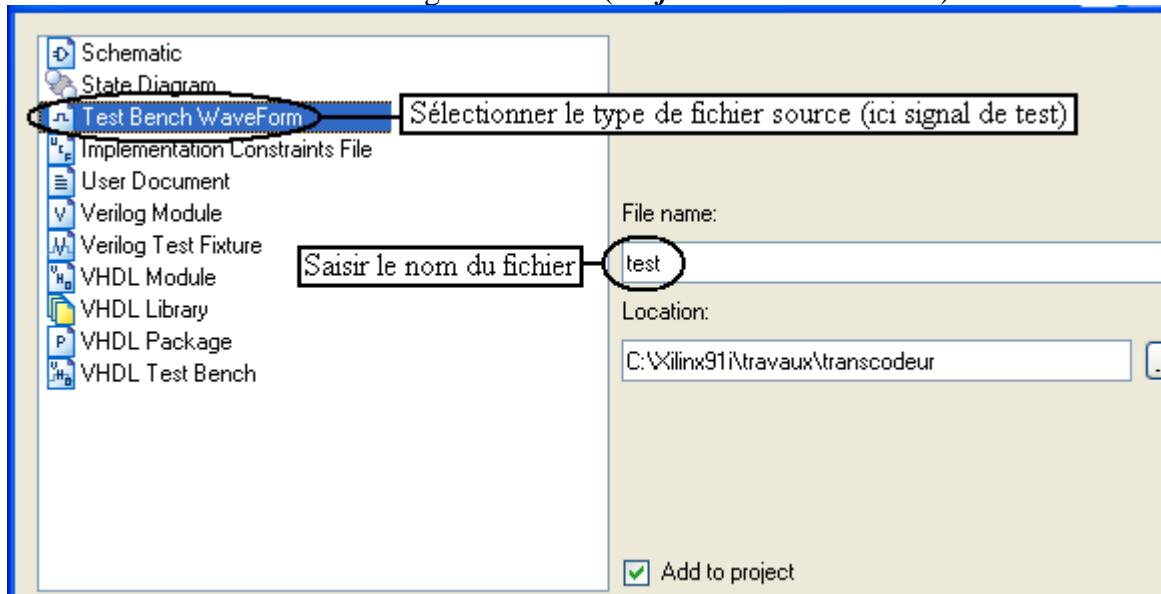


Remarque : Une fois que la génération du fichier VHDL est terminée, on ferme l'éditeur de machine d'états. On charge ensuite ce fichier VHDL dans son projet (*Project + Add Source ...*).

III - Simulation.

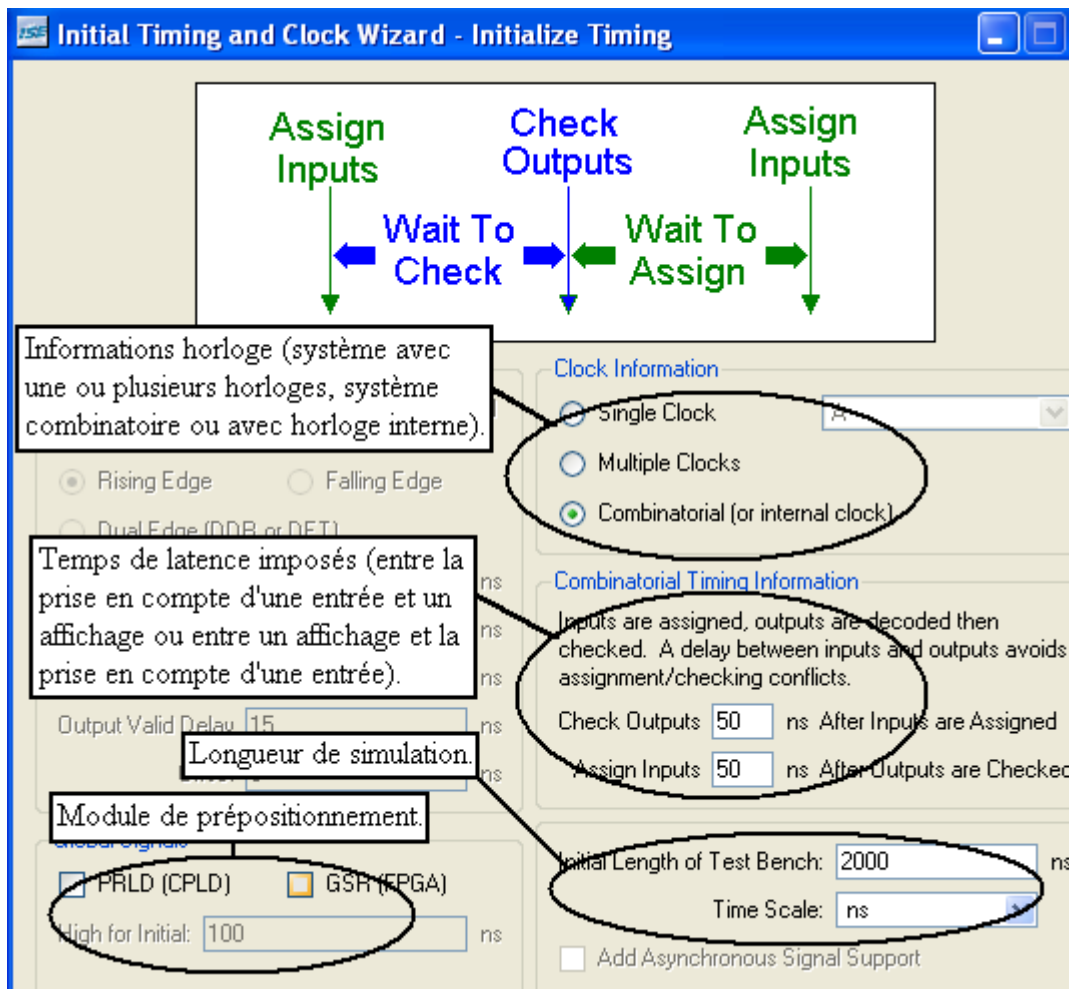
III a - Création d'un signal de test :

Il faut créer le fichier source « signal de test » (*Project + New Source ...*).



Vérifier, sur les écrans suivants, que votre source « signal de test » est bien associé dans le projet à votre source « schéma ».

Ecran de caractéristiques temporelles (cas du combinatoire) :



Ecran de caractéristiques temporelles (cas du séquentiel) :

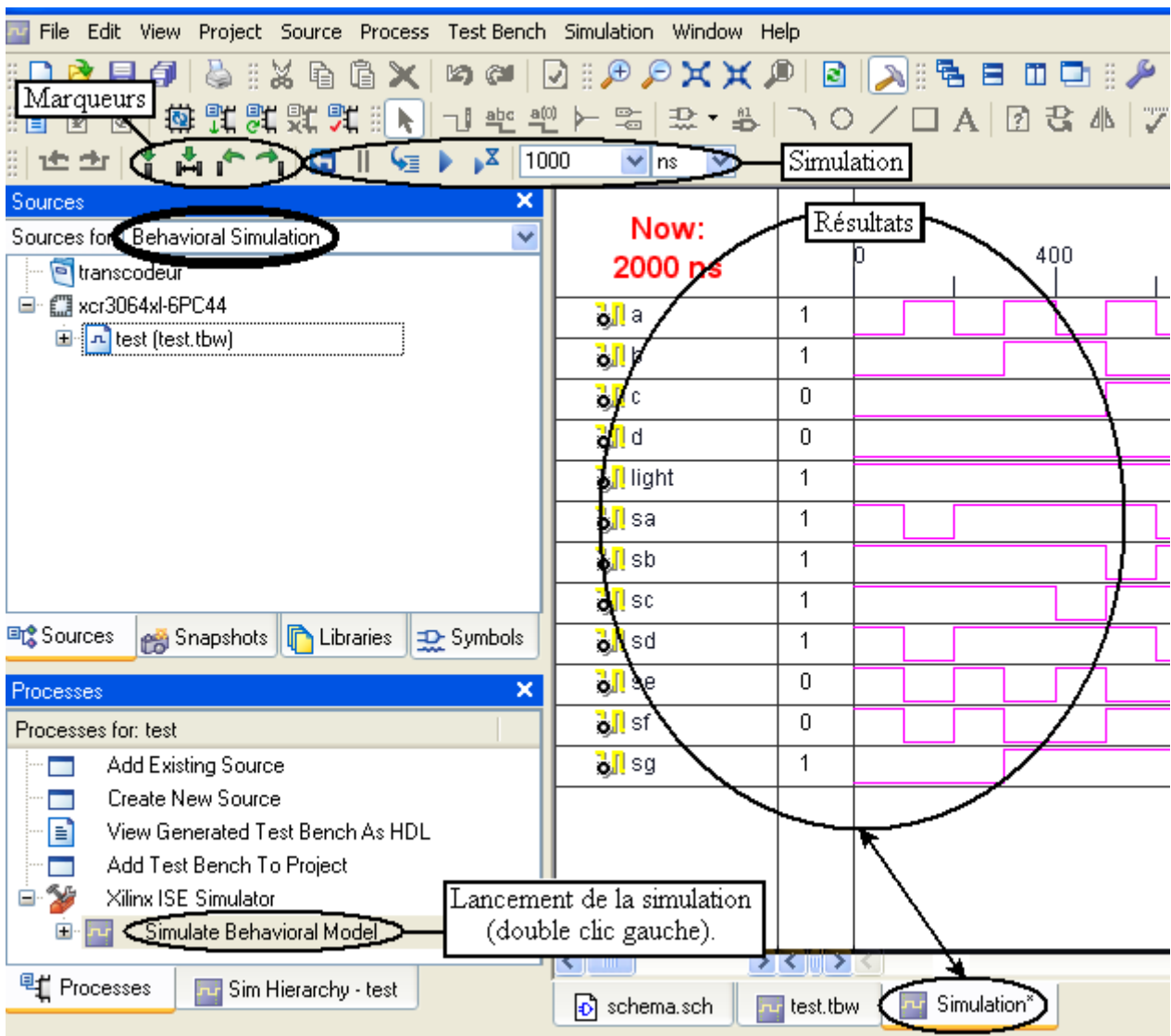
The screenshot shows the 'Initial Timing and Clock Wizard - Initialize Timing' window. At the top, a timing diagram illustrates a clock signal with 'Clock high for' and 'Clock low for' periods. It also shows 'Maximum output delay' and 'Minimum input setup' times relative to the clock edges. Below the diagram, the 'Clock Timing Information' section includes radio buttons for 'Rising Edge', 'Falling Edge', and 'Dual Edge (DDR or DET)'. The 'Clock Information' section has radio buttons for 'Single Clock', 'Multiple Clocks', and 'Combinatorial (or internal clock)'. The 'Global Signals' section includes checkboxes for 'PRLD (CPLD)' and 'GSR (FPGA)', and an input field for 'High for Initial: 100 ns'. A text box on the right lists 'Informations temporelles horloge' with bullet points: '- front actif', '- temps niveaux haut et bas', '- temps de latence en prépositionnement', and '- temps de latence en maintien.'

Les entrées / sorties du projet apparaissent dans la fenêtre d'édition des sources. Modifier les entrées (en cliquant aux instants où l'on veut changer de niveau logique) suivant vos besoins de simulation.

Remarque : le menu déroulant « *Test Bench* » permet de revenir sur certains réglages des caractéristiques temporelles d'une part et d'ajouter des marqueurs d'autre part.

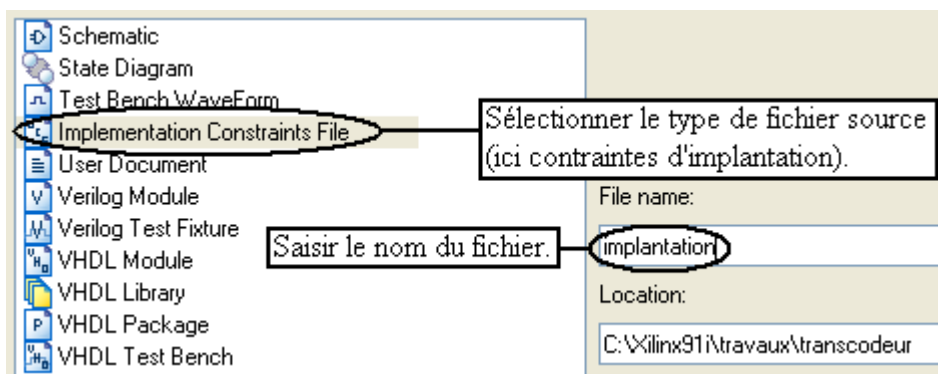
III b - Simulation.

Le lancement de la simulation s'effectue dans la fenêtre des processus de traitement (voir écran ci-dessous). L'affichage est automatique. On peut ensuite demander un complément de simulation, placer des marqueurs, effectuer des zooms ...

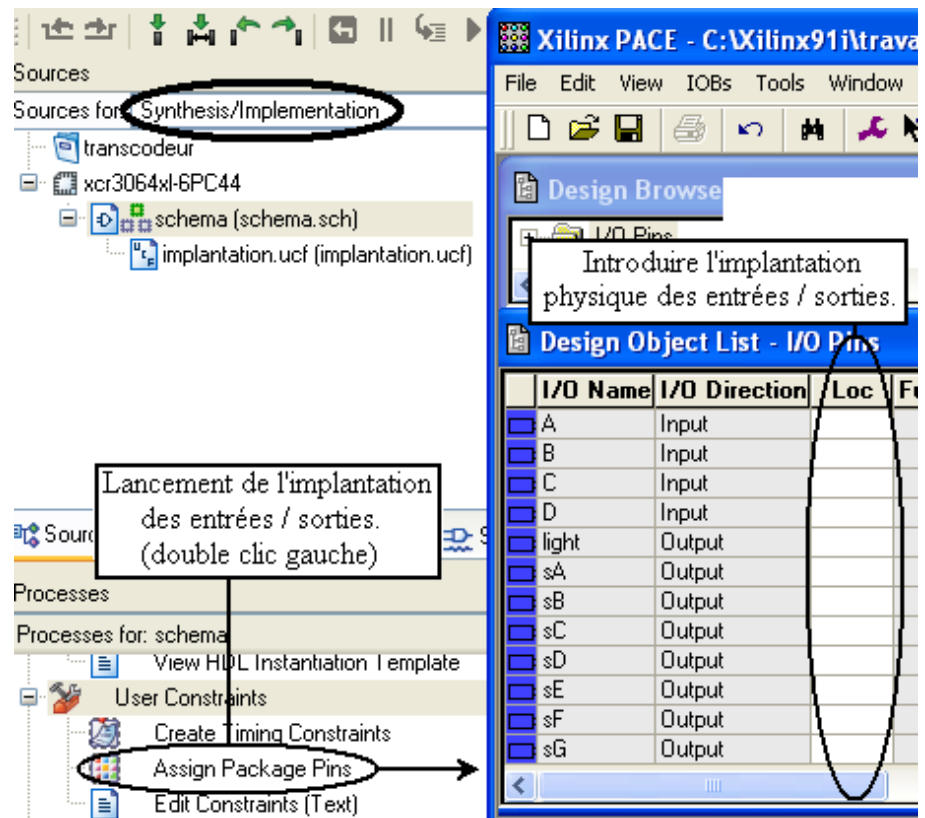


IV - Implantation (fichier d'extension « .ucf »).

Une fois que l'on a vérifié la validité du fonctionnement du projet, on peut l'implémenter sur CPLD. Il faut créer le fichier source « implantation » (*Project + New Source ...*).



L'implantation physique des entrées / sorties dépend du circuit à programmer ainsi que de son routage. Nous implanterons le projet sur CPLD Coolrunner XCR 3064 XL en boîtier PC44 et monté sur une carte Digilab XCR Plus (documentation jointe).

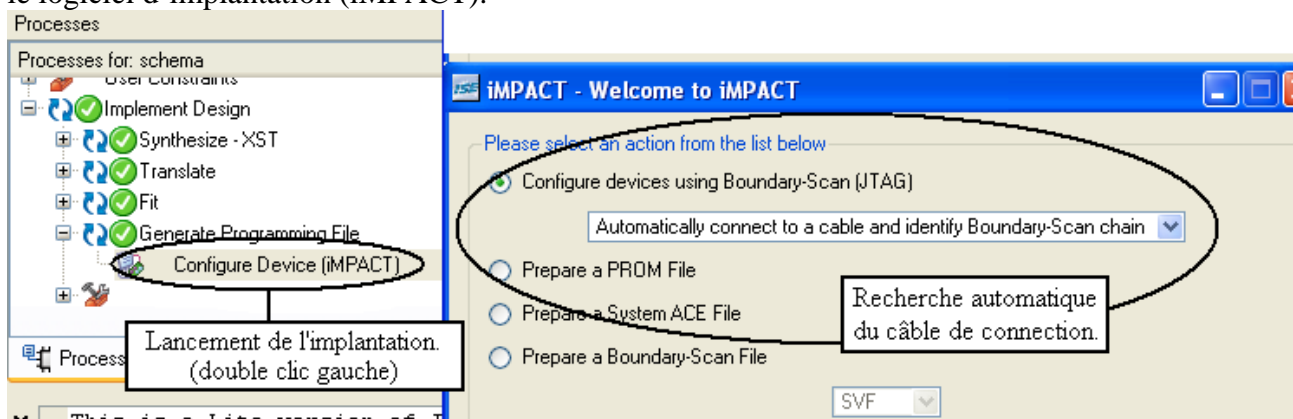


Lancement de l'implantation des entrées / sorties. (double clic gauche)

Introduire l'implantation physique des entrées / sorties.

Remarque : avant l'implantation physique des entrées / sorties, il est possible d'imposer des contraintes temporelles avec l'éditeur de contrainte temporelles (le lancement s'effectue par double clic gauche sur « Create Timing Constraints »). En l'absence d'indications de l'utilisateur, ces contraintes sont imposées par défaut.

Connecter la carte XCRP sur le port parallèle avec le câble JTAG et la mettre sous tension. Lancer le logiciel d'implantation (iMPACT).



Lancement de l'implantation. (double clic gauche)

Recherche automatique du câble de connection.

Choisir le fichier JEDEC correspondant à votre projet puis faire la programmation (clic droit sur composant + **Program...**). Vérifier de visu le fonctionnement.

